



(12)发明专利申请

(10)申请公布号 CN 107454982 A

(43)申请公布日 2017. 12. 08

(21)申请号 201780000827.4

(51)Int.Cl.

(22)申请日 2017.07.26

H01L 29/78(2006.01)

(30)优先权数据

H01L 29/06(2006.01)

15/652,645 2017.07.18 US

H01L 27/02(2006.01)

(85)PCT国际申请进入国家阶段日

2017.08.16

(86)PCT国际申请的申请数据

PCT/CN2017/094528 2017.07.26

(71)申请人 香港应用科技研究院有限公司

地址 中国香港新界沙田香港科学园科技大道东二号光电子中心5楼

(72)发明人 韩孝勇 霍晓 潘书礼

(74)专利代理机构 深圳新创友知识产权代理有限公司 44223

代理人 江耀纯

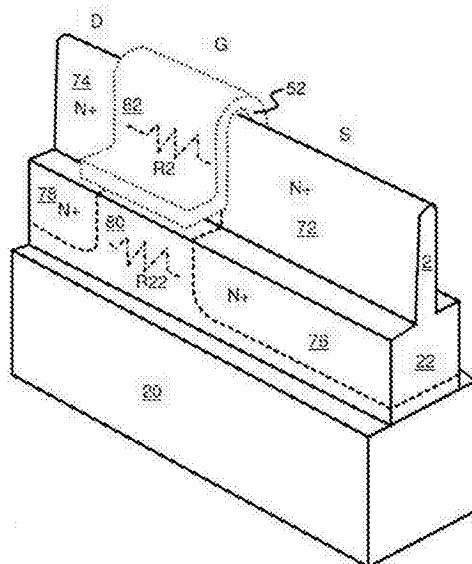
权利要求书5页 说明书9页 附图16页

(54)发明名称

用于静电放电(ESD)或过度电性应力(EOS)保护的阶梯鳍式场效应晶体管(FINFET)

(57)摘要

本发明提供了一种静电放电(ESD)保护装置,其有一种具有硅鳍片的鳍式场效应晶体管(FinFET),硅鳍片有一个分隔顶部鳍片和底部鳍片的阶梯。栅极围绕在顶部鳍片周围而不是底部鳍片周围。正常栅极控制的沟道传导发生在介于源极和漏极之间顶部鳍片上。在传导沟道下面是一个在底部鳍片上的覆盖的传导区域,其在ESD期间达到击穿电压之后传导。一个台阶,是鳍片侧壁上斜率突然发生变化,或者是在顶部鳍片和底部鳍片之间发生掺杂增加。底部鳍片比顶部鳍片宽2-3倍,导致覆盖的传导区域的电阻比传导沟道的电阻小2-3倍,使得击穿电流从沟道分流,从而降低在击穿期间发生的失效。



1. 一种鳍式场效应晶体管 (FinFET) 静电放电 (ESD) 保护装置, 包括:
 - 衬底, 其有一个平面表面;
 - 鳍片, 其形成在所述衬底上, 所述鳍片是由半导体材料制成, 并有一个横截面形状;
 - 栅极, 其形成在所述鳍片顶部周围, 所述栅极覆盖所述鳍片的顶表面, 并环绕在所述鳍片两个侧壁顶部的周围;
 - 传导区域, 其位于所述鳍片顶部, 所述传导区域被所述栅极覆盖;
 - 栅极氧化物, 其形成在所述栅极和所述传导区域之间, 所述栅极氧化物形成在所述鳍片顶部的所述传导区域上方, 包括所述顶表面和所述两个侧壁顶部, 其中所述栅极是非平面的;
 - 源极区域, 其位于所述鳍片顶部, 与所述传导区域相邻, 所述源极区域有高浓度的第一掺杂剂;
 - 漏极区域, 其位于所述鳍片顶部, 与所述传导区域相邻, 所述漏极区域有高浓度的第一掺杂剂;
 - 其中所述传导区域有第二掺杂剂, 所述第二掺杂剂极性类型与所述第一掺杂剂极性类型相反;
 - 其中通过所述传导区域在所述漏极区域和所述源极区域之间的电流传导有第一有效电阻;
 - 覆盖的传导区域, 其位于所述鳍片的底部, 所述覆盖的传导区域位于所述传导区域的下方;
 - 覆盖的源极区域, 其位于所述鳍片底部, 与所述覆盖的传导区域相邻, 所述覆盖的源极区域有第二高浓度的所述第一掺杂剂;
 - 覆盖的漏极区域, 其位于所述鳍片底部, 与所述覆盖的传导区域相邻, 所述覆盖的漏极区域有第二高浓度的所述第一掺杂剂;
 - 其中通过所述覆盖的传导区域在所述覆盖的漏极区域和所述覆盖的源极区域之间的电流传导有第二有效电阻;
 - 其中通过所述传导区域在所述源极区域和所述漏极区域之间的正常电流传导由正常运行期间通过施加到所述栅极的栅极电压来控制;
 - 其中正常运行期间, 所述栅极电压和在所述源极区域与所述漏极区域之间的电压都小于击穿电压;
 - 其中正常运行期间, 当施加电压小于所述击穿电压时, 不会发生通过所述覆盖的传导区域在所述覆盖的漏极区域和所述覆盖的源极区域之间的电流传导;
 - 其中当所述源极区域和所述漏极区域之间的电压大于所述击穿电压时, 所述第一有效电阻至少是所述第二有效电阻的两倍;
 - 其中在ESD事件期间, 通过所述覆盖的传导区域的击穿电流至少是穿过所述传导区域的所述击穿电流的两倍。
2. 根据权利要求1所述的FinFET ESD保护装置, 还包括:
 - 阶梯, 其位于所述鳍片顶部与所述鳍片底部之间, 所述阶梯是在所述鳍片顶部的所述传导区域与所述鳍片底部的所述覆盖的传导区域之间的第二掺杂剂的浓度变化;
 - 其中在所述覆盖的传导区域的所述第二掺杂剂的浓度至少是在所述传导区域的所述

第二掺杂剂的浓度的两倍；

其中所述鳍片的横截面形状的高度至少是所述横截面形状的平均宽度的两倍。

3. 根据权利要求1所述的FinFET ESD保护装置,还包括:

其中所述鳍片的横截面形状的高度至少是所述横截面形状的平均宽度的两倍;

阶梯,其位于所述鳍片顶部与所述鳍片底部之间,所述阶梯是在所述鳍片的所述两个侧壁之一上的凸台,所述凸台是在平行于所述衬底的所述平面表面的40度内;

其中所述栅极围绕覆盖在所述鳍片顶部的所述两个侧壁上,但没有围绕覆盖在所述鳍片底部的所述两个侧壁上。

4. 根据权利要求3所述的FinFET ESD保护装置,其中所述横截面形状有一个位于所述凸台水平上方的顶部和一个位于所述凸台水平下方的底部;

其中所述截面形状的底部面积至少是所述截面形状的顶部面积的两倍;

由此,击穿电流通过具有较大横截面面积的所述鳍片底部,所述鳍片底部面积比所述鳍片顶部面积大。

5. 根据权利要求4所述的FinFET ESD保护装置,其中所述栅极在所述凸台上方延伸;

其中所述栅极阻止所述第一掺杂剂在制造期间被注入到所述覆盖的传导区域中,其中所述覆盖的传导区域有所述第二掺杂剂,所述第二掺杂剂的极性类型与所述第一掺杂剂的极性类型相反;

其中在所述凸台上方延伸的所述栅极在离子注入期间遮盖所述覆盖的传导区域。

6. 根据权利要求1所述的FinFET ESD保护装置,还包括:

阶梯,其位于所述鳍片顶部与所述鳍片底部之间,所述阶梯是所述两个侧壁之一的斜率上的突然变化,亦或所述阶梯是一个将侧壁平分的平坦表面;

其中所述侧壁上的阶梯形成在所述侧壁高度的中间三分之一内;

其中在所述阶梯下方的所述鳍片底部的平均宽度比在所述阶梯上方的所述鳍片顶部的平均宽度至少大两倍;

其中所述鳍片的横截面形状的高度至少是所述横截面形状的平均宽度的两倍;

其中所述鳍片底部的横截面形状是矩形、梯形、三角形或弯曲的。

7. 根据权利要求4所述的FinFET ESD保护装置,还包括:

抽头区域,其位于所述鳍片顶部上和所述鳍片底部上,所述抽头区域有一个高浓度的所述第二掺杂剂。

8. 根据权利要求4所述的FinFET ESD保护装置,其中在所述鳍片顶部上的所述传导区域内的所述第二掺杂剂的浓度与在所述鳍片底部上的所述覆盖的传导区域内的所述第二掺杂剂的浓度相同;

其中所述高浓度和所述第二高浓度至少是在所述传导区域上的所述第二掺杂剂的浓度的十倍;

其中所述横截面形状底部的面积至少是所述横截面形状顶部的面积的三倍。

9. 根据权利要求4所述的FinFET ESD保护装置,其中在所述鳍片顶部的所述传导区域内的所述第二掺杂剂的浓度比在所述鳍片底部的所述覆盖的传导区域内的所述第二掺杂剂的浓度低;

其中所述覆盖的传导区域中的所述第二掺杂剂的浓度至少是在所述传导区域中的所

述第二掺杂剂的浓度的两倍。

10. 根据权利要求4所述的FinFET ESD保护装置,还包括:

衬底源极区域,其形成在所述覆盖的源极区域下方的所述衬底中,所述衬底源极区域有所述第一掺杂剂;

衬底漏极区域,其形成在所述覆盖的漏极区域之下的所述衬底中,所述衬底漏极区域有所述第一掺杂剂;

由此,源极和漏极延伸穿过所述鳍片顶部,穿过所述鳍片底部,进入所述衬底内。

11. 一种过度电性应力(EOS)保护装置,包括:

衬底,其有一个平行于所述衬底顶表面和底表面的主平面;

半导体材料的鳍片结构,所述鳍片结构有一个顶表面和两个侧表面,每个所述侧表面的表面积比所述顶表面的表面积更大;其中在所述两个侧表面之间的等距平面是在与所述衬底主平面垂直的20度内;

阶梯,其位于所述鳍片结构内,所述阶梯介于所述鳍片结构的顶部薄鳍片和底部鳍片之间;

栅极,其围绕在所述顶部薄鳍片周围;

栅极氧化物,其介于所述栅极和所述顶部薄鳍片之间;

具有第一极性类型的顶部源极区域,所述顶部源极区域是在顶部薄鳍片上,且未被所述栅极覆盖;

具有第一极性类型的顶部漏极区域,所述顶部漏极区域是在顶部薄鳍片上,且未被所述栅极覆盖;

传导区域,其在所述顶部源极区域和顶部漏极区域之间的顶部薄鳍片上以及所述栅极下方;

覆盖的传导区域,其在所述传导区域下方和底部鳍片上;

其中当在所述顶部源极区域和所述顶部漏极区域之间施加击穿电压时,在所述顶部源极区域和所述顶部漏极区域之间的所述传导区域的顶部电阻至少是在所述顶部源极区域和所述顶部漏极区域之间的所述覆盖的传导区域的底部电阻的两倍;

由此当过度电性应力导致所述击穿电压超出时,大部分击穿电流通过所述覆盖的传导区域被分流。

12. 根据权利要求11所述的EOS保护装置,其中所述阶梯是在所述两个侧表面之一上的凸台,其使得所述底部鳍片的平均宽度至少是所述顶部薄鳍片的平均宽度的两倍。

13. 根据权利要求12所述的EOS保护装置,其中所述栅极覆盖所述顶部薄鳍片的两个侧表面,并覆盖所述凸台,但没有围绕在所述底部鳍片的两个侧表面周围。

14. 根据权利要求11所述的EOS保护装置,其中所述阶梯是在所述传导区域和所述覆盖的传导区域之间的第二掺杂剂的掺杂浓度的突然变化,所述第二掺杂剂的极性类型与所述第一极性类型相反;

由此,所述掺杂剂类型的突然变化将所述顶部薄鳍片与所述底部鳍片隔开。

15. 根据权利要求11所述的EOS保护装置,其中所述底部鳍片的横截面面积至少是所述顶部薄鳍片的横截面面积的两倍。

16. 根据权利要求15所述的EOS保护装置,其中所述底部鳍片的横截面是矩形、梯形、三

角形或弯曲的。

17. 根据权利要求11所述的EOS保护装置,其中所述顶部漏极区域延伸到所述底部鳍片内;

其中所述顶表面区域延伸到所述底部鳍片内。

18. 根据权利要求11所述的EOS保护装置,还包括:

抽头区域,其在所述顶部薄鳍片上和底部鳍片上,所述抽头区域有一高浓度的掺杂剂,其极性类型与所述第一极性类型相反;

其中所述衬底有低浓度的所述相反极性类型。

19. 一种混合鳍式场效应晶体管 (FinFET), 包括:

平面衬底;

鳍片,其形成在所述平面衬底上,所述鳍片是由半导体材料制成,其横截面形状高度至少是所述横截面形状平均宽度的两倍,所述鳍片有两个侧表面,和一个在所述两个侧表面之间的顶表面;

凸台,其在所述两个侧表面之一上,其中在所述凸台下方的所述鳍片的横截面面积至少是在所述凸台上方的所述鳍片的横截面面积的两倍;

栅极,其围绕所述鳍片的顶部周围,在所述凸台上方,所述栅极覆盖所述鳍片顶表面,并围绕所述鳍片的两个侧表面的顶部周围;

传导区域,其位于所述鳍片顶部,所述传导区域被所述栅极覆盖;

栅极氧化物,其形成在所述栅极和所述传导区域之间,所述栅极氧化物形成在所述鳍片顶部上的所述传导区域上,所述鳍片顶部包括所述鳍片的两个侧表面顶部和所述顶表面,其中所述栅极是非平面的;

源极区域,其位于所述鳍片顶部上,并与所述传导区域相邻,所述源极区域有高浓度的第一掺杂剂;

漏极区域,其位于所述鳍片顶部上,并与所述传导区域相邻,所述漏极区域有所述高浓度的所述第一掺杂剂;

其中通过所述传导区域在所述漏极区域和所述源极区域之间的电流传导有第一有效电阻;

覆盖的传导区域,其位于所述鳍片的底部上,所述覆盖的传导区域位于所述传导区域下方;

其中通过所述覆盖的传导区域在所述漏极区域和所述源极区域之间的电流传导有第二有效电阻;

其中通过所述传导区域在所述源极区域和所述漏极区域之间的正常电流传导是由在正常运行期间施加到所述栅极的栅极电压控制;

其中在正常运行期间,所述栅极电压和在所述源极区域与所述漏极区域之间的电压都小于击穿电压;

其中当施加电压小于所述击穿电压时,通过所述覆盖的传导区域在所述漏极区域和所述源极区域之间的电流传导不发生在正常运行期间;

其中当所述源极区域和所述漏极区域之间的所述电压大于所述击穿电压时,所述第一有效电阻至少是所述第二有效电阻的两倍。

20. 根据权利要求19所述的混合FinFET,其中所述鳍片底部的横截面形状是矩形、梯形、三角形或弯曲的。

用于静电放电 (ESD) 或过度电性应力 (EOS) 保护的阶梯鳍式场效应晶体管 (FinFET)

【技术领域】

[0001] 本发明涉及静电放电 (ESD) 和过度电性应力 (EOS) 保护电路,特别涉及使用鳍式场效应晶体管 (FinFET) 的ESD/EOS保护电路,增强FinFET更好地进行ESD保护。

【背景技术】

[0002] 更高速度的半导体器件可以通过缩小尺寸并减小寄生电容来获得。典型的金属氧化物半导体场效应晶体管 (MOSFET) 是在硅衬底上或该衬底的阱内形成,对该衬底或阱有一个大的寄生电容。

[0003] 然而,极小的晶体管有薄的栅极氧化物,可能被相当小的电流甚至中等驱动力 (电压) 损坏。当人们处理这些半导体器件时,需要特别小心。

[0004] 通常人身上的静电可以经过半导体集成电路 (IC或芯片) 的任何一对引脚放电。使用自动测试仪,在芯片的不同对引脚上施加人体模型 (HBM) 电流脉冲,对IC芯片进行常规测试,测试对这种静电放电 (ESD) 的抵抗能力。可以选择任何一对引脚进行ESD测试。

[0005] 最近,平面MOSFET器件正在被FinFET替代。FinFET使用一种更三维的晶体管结构,其中晶体管栅极不再位于单一平面内。FinFET使用较小的面积,一般比传统平面晶体管有更小的漏电流。

[0006] 图1显示一种现有技术的FinFET器件。在衬底20上形成的鳍片的上部是N+区域42、44。没有N+掺杂的鳍片的下部被氧化物62包围。衬底20可以是硅衬底或用于绝缘体上硅 (SOI) 过程的绝缘体。N+区域42、44非常薄,有着纤细的鳍片状外观。在N+区域42和N+区域44之间是一个充当晶体管沟道的轻P掺杂硅的连接区域。N+区域42、沟道连接区域和N+区域44都可以形成在同一硅鳍片上。

[0007] 栅极52形成在沟道连接区域周围。栅极52不是平直的,而是一个倒U形,该倒U形围住N+区域42、44之间的沟道连接区域。栅极氧化物60形成在鳍片状沟道连接区域的三个侧面上,而不是仅仅形成在沟道区域的顶表面上。

[0008] 由于该3-D栅极和沟道结构,对于同一晶粒区域,FinFET晶体管比等效平面晶体管有更好的电流驱动。但是,当FinFET晶体管用于ESD保护时,高ESD电流会损坏FinFET晶体管。特别是,N+区域42在靠近栅极52下方沟道区域的结附近,有时会极热。当大ESD电流通过N+区域42时,这种极热会永久地损坏栅极氧化物60和N+区域42,导致器件发生泄漏或故障。

[0009] 而且,用于N+区域42的薄或细尺寸的鳍片,导致电流涌入一个窄区域,形成局部热点。薄鳍片的N+区域42阻碍了散热,因为其被氧化物62绝缘体和覆盖所有物质 (包括N+区域42、氧化物62和栅极52) 的钝化绝缘体围绕住。

[0010] 图2是图1现有技术细薄FinFET的横截面。细薄鳍片2可以形成在衬底20上,其有一个细薄轮廓。细薄鳍片2被氧化物62包围,在鳍片2和栅极52之间的栅极氧化物60的一部分也可以由氧化物62形成。当施加到栅极52上的电压高于阈值电压时,在栅极52下方的细薄鳍片2临时形成一个传导沟道。该传导沟道允许电流从N+区域42通过细薄鳍片2的p型沟道

连接区域流向N+区域44,如图2所示。

[0011] 在ESD测试期间,栅极52接地,以形成一个栅极接地的NMOS器件,所以很少或没有电流通过不在栅极52下方的细薄鳍片2的p型区域,因为远离栅极52没有形成传导沟道。但是,当应用大ESD电流时,可能会发生穿通击穿,其中在细薄鳍片2的上部可能出现导电,甚至在栅极52下方更远,而不仅仅出现在由栅极52上的电荷形成的传导沟道上。

[0012] 图3是图2的FinFET的电结构模型。细薄鳍片2的横截面的细长轮廓使得栅极传导沟道在源极N+区域42和漏极N+区域44(图1)之间有一个相当高的电阻R2,当回弹击穿或穿通击穿发生在细薄鳍片2的上部时。

[0013] 一个解决方案是针对细薄鳍片2使用较厚轮廓。细薄鳍片2的较厚或较宽轮廓将允许更大的ESD电流通过,但在正常运行期间的性能可能会受到损害,因为在栅极52下方的鳍片也会更厚。厚鳍片仅可用于ESD器件,而更优选的薄鳍片用于核心晶体管,但由于要形成两种不同厚度的FinFET晶体管,所以工艺将变得更加复杂和昂贵。

[0014] 期望有一种为正常运行而优化的FinFET,而且还被设计为承载大ESD电流。期望有一种能够安全承载更大ESD电流的FinFET,同时仍然使用细薄鳍片用于正常运行电流的最佳晶体管特性。期望有一种既能用于常规运行又能用于ESD保护而优化的混合FinFET晶体管。

【附图说明】

[0015] 图1显示了一种现有技术的FinFET器件。

[0016] 图2是图1现有技术的细薄FinFET的横截面。

[0017] 图3是图2的FinFET的电结构模型。

[0018] 图4显示一种具有组合或阶梯鳍片的FinFET晶体管。

[0019] 图5是图4的FinFET的电结构模型。

[0020] 图6是一种具有底部厚鳍片和顶部薄鳍片以及更深N+源极/漏极注入物的阶梯FinFET的透视图。

[0021] 图7是阶梯FinFET的一个视图,重点显示栅极下方的顶部薄鳍片和底部厚鳍片的电性能。

[0022] 图8是标准FinFET和阶梯FinFET的电流和电压曲线图。

[0023] 图9A-D重点显示在ESD事件期间的阶梯FinFET的运行。

[0024] 图10显示一种体接触的混合FinFET。

[0025] 图11A-D显示阶梯轮廓的其他替代鳍片形状。

[0026] 图12是双用FinFET的一种变型,其中源极/漏极深注入到衬底内。

[0027] 图13显示添加有鳍片掺杂物的其他替代阶梯式FinFET结构。

[0028] 图14是另一种替代方案,在栅极下方顶部细薄鳍片和底部鳍片分开掺杂。

[0029] 图15显示一种在掺杂分布里有阶梯的FinFET。

[0030] 图16显示一种鳍片上部和下部有不同掺杂的阶梯式FinFET。

【具体实施方式】

[0031] 本发明涉及FinFETESD/EOS保护器件的改进。以下描述使本领域普通技术人员能

够制作和使用如在上下文中的特定应用及其要求的所提供的本发明。对优选实施例的各种修改对于本领域技术人员将是显而易见的,并且在此定义的一般原理可以用于其它实施例。因此,本发明不旨在限于所示和所述的特定实施例,而是符合与在此所披露的原理和新颖特征一致的最宽范围。

[0032] 图4显示一种混合或阶梯式鳍片的FinFET晶体管。在衬底20上形成的鳍片有一个更宽的底部鳍片22和一个窄的顶部细薄鳍片2。鳍片在靠近栅极52处有一个细长轮廓,从而使得在正常运行期间晶体管特性是最佳的。但是,在栅极52围住顶部薄鳍片2的区域下方,鳍片的宽度增加。鳍片横截面宽度或厚度,从小厚度的顶部细薄鳍片2阶梯增加到更大厚度的底部鳍片22。该阶梯正好在栅极52的底部,尽管阶梯的确切位置可以根据不同的实施例而不同。

[0033] 通过外延生长、蚀刻厚衬底20、沉积或任何组合方法,可以在衬底20上形成顶部薄鳍片2和底部鳍片22。衬底20可以是硅衬底或者是用于绝缘体上硅(SOI)工艺的绝缘体。栅极氧化物60可以是诸如氧化铪(HfO_2)的氧化物,可以是几层的复合物,例如在一层二氧化硅 SiO_2 上形成一层 HfO_2 层,或各种其它先进的栅极氧化物。精确的横截面轮廓可能不同于附图所示的理想化和简化的横截面。

[0034] 图5是图4的FinFET的电结构模型。顶部薄鳍片2的横截面的细薄轮廓导致栅极传导沟道在源极N+区域72和漏极N+区域74之间(图7)有一个相当高的电阻R2。即使没有形成沟道,例如在ESD测试期间,顶部薄鳍片2中的穿通传导有一个相当小的电阻R2。用于正常沟道传导和用于穿通击穿的电阻值R2是不同的,并且随着施加电压不同而不同,但为了简化而显示单个值R2。

[0035] 但是,当发生回弹击穿或穿通击穿时,图5中的开关5闭合,底部鳍片22(电阻R22)可用于传导更大的ESD电流。由于底部鳍片22比顶部薄鳍片2更厚,所以底部鳍片22的较厚横截面可以比顶部薄鳍片2承载更多电流。因此,底部鳍片22的电阻R22比顶部薄鳍片2的电阻R2更低。当底部鳍片22横截面面积大约是3倍的顶部薄鳍片2时,则R2应该大约比R22大三倍。R22的较低电阻使得更多ESD电流通过R22和底部鳍片22被分流,较少ESD电流流过R2和顶部薄鳍片2。

[0036] 图6是一个具有底部厚鳍片和顶部薄鳍片以及更深源极/漏极注入物的阶梯FinFET的透视图。鳍片形成在衬底20上。该鳍片有一个较厚的底部鳍片22和一个较薄的顶部薄鳍片2,它们一起形成为一个单鳍片结构。鳍片是由具有相对轻的p型掺杂的硅制成。然后,栅极52形成在鳍片的中间部分上,其中栅极氧化物形成在栅极52和鳍片之间。栅极52围住顶部薄鳍片2的中间部分,并不会形成在底部鳍片22的侧面。

[0037] 一旦形成栅极2,就可以使用离子注入以将n型掺杂剂离子注入到顶部薄鳍片2中,以形成与栅极52相邻的源极和漏极的N+区域。当离子注入的能量足够高时,注入离子可以到达底部鳍片22以在底部鳍片22和顶部薄鳍片2中形成N+区域。或者,较低能量的离子可以被注入到顶部薄鳍片2中,然后扩散到底部鳍片22中以在顶部薄鳍片2和底部鳍片22中形成N+区域。这种比正常情况更深的N+注入物可以改善混合器件的特性。

[0038] 注入的n型离子被栅极52阻挡,使得它们不会到达在栅极52下方的顶部薄鳍片2的中间部分。因此,在栅极52下方的中间区域保持p型,可用于在正常MOS晶体管运行期间形成一个传导通道。

[0039] 栅极52在底部向外扩展以覆盖底部鳍片22的露出阶梯。栅极52的底端的这种扩展阻止离子注入到在栅极52下方的底部鳍片22中。栅极52的扩展端用于在离子注入期间遮住底部鳍片22的中间区域。

[0040] 因此,栅极52阻挡n型离子被注入到底部鳍片22的中间区域内。在N+源/漏区域之间的底部鳍片22的中间区域保持p型。

[0041] 图7是阶梯FinFET的一个视图,重点显示栅极下方顶部薄鳍片2和底部鳍片2的电属性。N型离子注入在栅极52的一侧形成顶部薄鳍片2的源极N+区域72和底部鳍片22的源极N+区域76,在栅极52的另一侧形成顶部薄鳍片2的漏极N+区域74和底部鳍片22的漏极N+区域78。

[0042] 由于栅极52阻挡n型离子,在栅极52下方的顶部薄鳍片2的中间区域保持p型。这是传导区域82。在ESD事件期间,传导区域82有一个电阻R2在源极N+区域72和漏极N+区域74之间。

[0043] 栅极52在底部向外扩展以覆盖底部鳍片22的露出阶梯。栅极52底部的这种扩展阻挡了离子注入到覆盖的传导区域80。栅极52的扩展端用于在离子注入期间遮蔽底部鳍片22的覆盖的传导区域80。

[0044] 由于栅极52阻挡了n型离子,在栅极52下的底部鳍片22的中间区域保持p型。这是覆盖的传导区域80。在ESD事件期间,覆盖的传导区域80有一个电阻R22在源极N+区域76和漏极N+区域78之间。

[0045] 由于底部鳍片22比顶部薄鳍片2厚约三倍,因此R2值约比R22值大三倍。在ESD事件期间,ESD电流通过R22和被覆盖的传导区域80被分流,远离较高电阻R2和传导区域82。

[0046] 图8是标准FinFET和阶梯FinFET的电流和电压曲线图。曲线92显示图2现有技术的FinFET,其中ESD电流仅穿过薄鳍片2。穿通击穿发生在约3.7伏特上。击穿后的曲线92的斜率为电阻R2。

[0047] 曲线94显示图4-7的阶梯FinFET,其中ESD电流通过薄鳍片2和底部鳍片22。穿通击穿发生在约3.8伏特上。击穿后的曲线94的斜率是电阻R2和电阻R22的并联组合。较低的并联电阻R2和R22有一个更陡的斜率,允许更多电流流动,在击穿后的任何电压下。这种较高电流可以更快地消散和ESD脉冲。电流分布在底部鳍片22的较大横截面区域上,减少局部热量。不容易损坏和失效。

[0048] 图9A-D重点显示在ESD事件期间的阶梯FinFET的运行。在ESD事件期间,一个负ESD脉冲施加在源极端S,相对于漏极端D。在图9A,来自ESD脉冲的负载流子(电子)流入到源极N+区域72内,然后流入到源极N+区域76内。区域72、76有负电荷。

[0049] 在图9B,在源极N+区域76和p型覆盖的传导区域80之间的底部鳍片22中的p-n结被正向偏置,来自源极N+区域76的电子被注入到覆盖的传导区域80内。

[0050] 在图9C,在源极N+区域72和传导区域82之间的顶部薄鳍片2中的p-n结也被正向偏置,来自源极N+区域74的电子被注入到栅极52下方的传导区域82中。在栅极52下方形成或没形成n型传导沟道,这取决于ESD事件期间栅极52的电压。

[0051] 在图9D,注入到传导区域82内的电子被漏极N+区域74收集。这是顶部薄鳍片2中的电流I2。而且,注入到被覆盖的传导区域82内的电子被漏极N+区域78收集。这是被覆盖的传导区域80中的电流I22。被收集的电子流出漏极触点,到ESD事件的第二端。

[0052] 由于底部鳍片22比顶部薄鳍片2更厚,所以通过底部鳍片22中覆盖的传导区域80的电流 I_{22} 大于通过顶部薄鳍片2中传导区域82的电流 I_2 。从源极到沟道边界的局部热量分布在一个较大的区域上,减少了潜在的损害。

[0053] 此外,大多数ESD电流随电流 I_{22} 流动,比随电流 I_2 流动的ESD电流更多,减少了顶部薄鳍片2顶端处的热量。在底部鳍片22中产生的热量可以更容易地热传导到衬底20上,而在顶部薄鳍片2中产生的热量远离衬底20,并被电绝缘体包围,电绝缘体同样是热绝缘体。

[0054] 图10显示一个体接触的混合FinFET。施加一个掩模,其允许p型注入以在漏极N+区域74的尾部处形成P+抽头区域66。这可以是一个深度注入,使得高p型掺杂到达底部鳍片22内以形成P+深抽头区域68。当一个电源电压(如接地)施加到P+抽头区域66时,P型衬底20通过P+深抽头区域68接地。由于覆盖的传导区域80和传导区域82也是p型,它们也是通过衬底20和P+抽头区域66被偏置到接地。因此,P+抽头区域66是n沟道晶体管的衬底或体偏置端,该n沟道晶体管有其它端:栅极52、N+区域72和N+区域74。

[0055] 可以制作一个单金属触点(图中未示出)到P+抽头区域66和漏极N+区域74。在正常运行期间,地电压可以被施加到P+抽头区域66和漏极N+区域74。在正常运行期间,漏极N+区域74充当源极,而源极N+区域72充当漏极。

[0056] 但是,对于一个负ESD脉冲测试,P+抽头区域66和漏极N+区域74接地,但是源极N+区域72接收一个低于地电压的负ESD脉冲。对于这个负ESD测试,漏极N+区域74充当漏极,源极N+区域72充当源极。术语源极和漏极是可互换的,因为它们取决于施加的偏置电压。

[0057] 图11A-D显示具有阶梯轮廓的其他鳍片形状。在图11A,鳍片是矩形形状,顶部薄鳍片2和底部鳍片22之间是水平或近似水平的阶梯。可以首先蚀刻衬底20以形成顶部薄鳍片2,然后用一个更宽的掩模开口来形成底部鳍片22。或者,首先在衬底20上的外延生长或沉积,产生底部鳍片22,然后制作顶部薄鳍片2。作为另一种替代方案,可以首先在衬底20上生长外延层,然后蚀刻以形成底部鳍片22和顶部薄鳍片2。

[0058] 图11B显示一种梯形的鳍片形状。在该实施例中,底部鳍片22有倾斜的壁,而不是垂直壁。底部鳍片22的横截面是梯形。可以使用专门的蚀刻或生长技术以生成在图11B-D中的各种鳍片形状。

[0059] 图11C显示一种三角形的鳍片形状。底部鳍片22还是有倾斜的侧壁,但在底部鳍片22的顶端没有水平阶梯。相反,底部鳍片22的侧壁直接连接到顶部薄鳍片2,没有水平突出部。

[0060] 图11D显示一个具有弯曲侧壁的底部鳍片。底部鳍片22有弯曲的侧壁,而不是平坦的平面侧壁。侧壁的斜面是如图11D所示的凸形,也可以使用更复杂的形状。此外,加工过程可能会改变如图11A所示的理想形状。掺杂轮廓也可能会改变所示的理想形状,也可能受到鳍片形状的影响。

[0061] 图12是双用FinFET的一种变型,其中源极/漏极注入物深入到衬底内。p型离子注入产生源N+区域72和源N+区域76,但一些掺杂剂到达衬底20内以在源N+区76下方形成深源N+区77。离子注入能量可以较高,或者一些掺杂剂可能扩散到衬底20内。

[0062] 类似地,深漏极N+区域79可以形成在漏极N+区域78下方衬底20内。这个更深的源极/漏极注入还可以进一步降低栅极52下方很深的覆盖的传导区域80的电阻 R_{22} ,因为当穿透发生以及深传导使用电阻 R_{22} 时,较深的N+区域允许电流在ESD事件期间流过一个更大的

横截面区域。但是,在正常运行期间,更大的源极/漏极区域会增加FinFET的寄生电容。

[0063] 图13显示另一种阶梯式FinFET结构,具有添加的鳍片掺杂物。在一个单独的处理步骤中,加入p型掺杂剂。该p型掺杂剂的浓度比用于形成P+抽头区域66的浓度更低(图10)。P-区28形成在源极N+区域72、漏极N+区域74之外,给顶部薄鳍片2和底部鳍片22一个与衬底20不同的p型掺杂。p-区域的p-型掺杂可以比衬底20的p-型掺杂更高。

[0064] 在形成栅极52之前进行p型掺杂,使得覆盖的传导区域80和传导区域82是p掺杂。这种p型掺杂对降低栅极52下的电阻R22和R2是特别有用的。这种p掺杂已经存在于标准CMOS制造工艺中,因为栅极下的p掺杂有时用于调整晶体管阈值电压。

[0065] 图14是另一种替代方案,在栅极下方分开掺杂顶部薄鳍片2和底部鳍片22。在该变型中,使用两个p型掺杂步骤。第一p型掺杂在底部鳍片22中产生深P区域28,而另一个p型注入在顶部薄鳍片2中产生浅P-区域29。一个更深的、更高能量的注入在深P-区域28内设置p掺杂浓度,并用于覆盖的传导区域80和电阻R22,而一个较浅的、较低能量的注入在浅P-区域29内设定p-掺杂浓度,并用于传导区域82和电阻R2。在栅极52下方有两个p型区域80、82,可以通过调整传导区域82的p型掺杂来优化用于正常运行的FinFET,还可以通过调整覆盖的传导区域80的p掺杂来优化FinFET的深穿透传导。

[0066] 例如,用于覆盖的传导区域80的p掺杂浓度可以比用于传导区域82的p掺杂浓度更高。较高的深掺杂使得R22有一个较低的电阻,因此允许FinFET在击穿传导发生时承载更多ESD电流。在传导区域82中栅极52下方的较低掺杂允许FinFET的晶体管特性(例如阈值电压和沟道电阻)被优化用于正常运行,即在不发生击穿且不通过R22传导时。

[0067] 图15显示具有阶梯掺杂分布的FinFET。阶梯可以是在掺杂剂分布里,而不是在顶部薄鳍片2和底部鳍片22的横截面轮廓中有一个阶梯。

[0068] 在该变型中,鳍片不具有两个厚度。相反,顶部薄鳍片2和底部鳍片22大约有相同厚度,尽管侧壁可能有倾斜,使底部鳍片22比顶部薄鳍片2稍微厚一些。但是,在顶部薄鳍片2和底部鳍片22之间没有凸台的物理阶梯。

[0069] 相反,栅极52形成为仅环绕在鳍片上部,围住顶部薄鳍片2,没有围住底部鳍片22。浅P区域29和传导区域82被掺杂到第一p型浓度,而深P区域28和覆盖导电区80被掺杂到第二p型浓度。因此,顶部薄鳍片2和底部鳍片22是由不同的掺杂浓度加以区分。浅掺杂浓度设定R2,而深p型掺杂浓度设定R22。顶部薄鳍片2和底部鳍片22之间的边界位置可以大约是整个鳍片高度的一半,或者也可以是其它比例。因此,通过掺杂剂分布,而不是鳍片的横截面轮廓的物理阶梯,产生类似的阶梯效果。

[0070] 图16显示一个阶梯式FinFET,鳍片上部和下部具有不同掺杂。浅P型掺杂设置栅极52下方的传导区域82的p型掺杂浓度,而底部鳍片22中的覆盖的传导区域80的p型掺杂与衬底20相同。因此,通过R22的ESD的深度传导是由衬底掺杂设置的,而在正常运行期间传导区域82中的沟道传导是由浅p型注入物设定的。

[0071] 本实施例同样仅显示浅源极/漏极,而不是深源极/漏极。源极N+区域72和漏极N+区域74形成在顶部薄鳍片2中,而n型源极/漏极注入没有足够深以在底部鳍片22中形成源极漏极。但是,源极N+区域72、漏极N+区域74可以稍微延伸到如图所示的底部鳍片22中。

【其它实施方式】

[0072] 发明人还考虑了其它一些实施例。例如,可以使用各种材料。衬底20可以是硅,或

可以是硅-锗,或其它诸如Ga-As的化合物,还可以添加各种掺杂剂。类似地,顶部薄鳍片2和底部鳍片22可以由与衬底20相同的材料制成,或可以是诸如SiGe的不同材料制成,也可以有不同浓度或分布的不同掺杂剂。虽然掺杂剂浓度一般在某个区域内变化,但与区域边界附近的掺杂剂浓度的快速变化相比,掺杂剂浓度仍然可以被认为是相对恒定的。源极/漏极N+掺杂可以有高浓度,如 $10^{20}/\text{cm}^3$,而沟道掺杂可以有低浓度,如 $10^{17}/\text{cm}^3$ 。衬底掺杂可以有一个甚至更低的浓度,如 $10^{15}/\text{cm}^3$ 。通常,沟道掺杂可以是在 $10^{16}/\text{cm}^3$ 至 $10^{18}/\text{cm}^3$ 的范围内,而衬底掺杂可以是在 $10^{14}/\text{cm}^3$ 至 $10^{16}/\text{cm}^3$ 的范围内,当然其它值也是可能的。

[0073] 用于正常沟道传导和用于穿通击穿的电阻值R2是不同的,随着施加电压的不同而不同,但是为了简单起见,在此显示为单个值R2。R2和R22的精确值比较复杂,取决于偏置条件,其在ESD事件期间是变化的,但被显示为简单电阻器以便描述通过较大或较高掺杂的底部鳍片22进行电流分流的基本概念。

[0074] 衬底基本上是平坦的,尽管由于特征被蚀刻到顶表面内,其顶表面可能会有变化。鳍片结构基本上垂直于衬底的平坦表面。鳍片的侧壁可以有些倾斜,可以在垂直于衬底平坦表面的20度内。两个侧壁之间的中心线可以是几乎垂直的,例如垂直于衬底平面不超过20度。

[0075] 鳍片底部横截面面积至少是鳍片顶部横截面区域的两倍,优选地至少是其面积的三倍。这个面积比导致电阻比为1:2或1:3,通过鳍片底部的电流是通过鳍片顶部的电流两倍或三倍。当底部鳍片是顶部薄鳍片的面积或宽度的2-3倍时,覆盖的传导区域的掺杂可以与传导区域的掺杂相同。或者,当底部鳍片截面面积或宽度与顶部薄鳍片截面面积或宽度相同时,覆盖的传导区域的掺杂可以是传导区域的掺杂的2-3倍。可以使用较高掺杂的覆盖的传导区域,也可以使用较大横截面面积的底部鳍片22。

[0076] 用于制造FinFET的半导体工艺可以有几种变化。VDD电源电压可以是1.8伏特或其它值,而栅极氧化物击穿电压可以是6伏特,允许通过覆盖的传导区域80传导的穿通击穿电压可以大约是3.7伏特,但是这些值可以随工艺、布局、温度等条件的不同而不同。

[0077] 触发电路可以有多种变化,使得FinFET晶体管能够用于ESD/EOS保护。所产生的触发脉冲的宽度可以通过改变触发电路的R-C时间常数或者通过添加诸如反相器串之类的延迟元件进行调节。

[0078] 替代方案可以以各种方式组合,或单独使用或以其它组合使用。尽管已经描述了n沟道FinFET互补金属氧化物半导体(CMOS)晶体管,但在一些实施里可以替换为其他种类的晶体管,如仅n沟道、仅p沟道或诸如双极或BiCMOS的各种替代晶体管技术。

[0079] 虽然已经介绍了电流流动和运行,但这些都是理论性的,而理论可能是不完整的,或甚至是不正确的。不管是物理机制和理论解释如何,本结构确实提供ESD脉冲的保护。特别是对于小型器件,电流可能以不寻常的方式流动,使用尚未被彻底研究和理解的机制。

[0080] 可以使用扩散切口和其他区域。可以替换为其它形状和物理布局,例如混合的手指。鳍片可以与其它鳍片相交、弯曲、或具有各种宏观几何形状和布局。

[0081] 可以使用n沟道、p沟道、或双极晶体管、或这些晶体管内的结来实施本器件。电容器可以连接到电阻以提供一个R-C时间延迟,或者可以添加更复杂的电路,如主动触发电路。在一些实施例中,可以使用高电压晶体管,而不是具有适当偏置条件的低电压晶体管。可以增加栅长和间距以提供更好的保护,避免损坏。

[0082] 可以使用不同晶体管、电容器、电阻器、和其它器件尺寸,可以使用各种布局布置,如多腿、环形、圈形或不规则形状的晶体管。可以添加额外的抽头、保护环、晶体管和其它组件。功率节点可以是通常浮动的公共放电线(CDL)而不是电力线。可以有几个内部节点连接到不同输入或输出焊盘。输入/输出焊盘可以连接到输入缓冲器、测试扫描逻辑和其它电路。可以使用多个电源。

[0083] P和N阱可以形成在衬底20中,当FinFET晶体管可以是p型或n型时在FinFET晶体管下使用。一些实施例可以使用一个额外的深N+或P+注入区域,或可以移位注入区域的位置和深度。各层的最终轮廓和形状可能因使用工艺的不同而不同。特别地,更深的层可以相对于掩模布局周围移动。此外,掩模边缘和最终处理边界可以随工艺步骤不同而不同。

[0084] 可以添加连续的、或由于各种原因具有开口或切口的保护环。P+保护环和N+保护环可以电连接在一起并悬浮,或连接到诸如电源或接地的固定电压,或者可以连接到不同的电压,例如将P+保护环接地,将N+保护环连接到电源。对P+保护环和N+保护环的电压偏压可以被主动切换或复用于各种模式和运行条件。

[0085] 可以添加诸如电阻器和小晶体管的额外漏电器件。寄生电容和电阻可以用于一些部件,取决于所使用的工艺和器件尺寸。

[0086] ESD保护电路可以与其它输入保护电路(例如功率钳位电路、其它焊盘保护电路、或串联电阻器保护电路)集成到输入缓冲器的栅极。还可以在各个点上添加栅极接地和厚氧化物保护晶体管和二极管以增加ESD保护。四个ESD结构中的一个、两个ESD结构可以添加到每个I/O引脚,或者只是添加到输入引脚。

[0087] 厚氧化物和薄氧化物晶体管可以由功率钳和ESD保护器件保护。或者,可以使用不同组合的晶体管和电源电压的多个功率钳。每个焊盘可以只有一个ESD保护器件、只有两个ESD保护器件、或四个ESD保护器件。阳极和阴极(A和K)节点可以颠倒以交换保护方向。

[0088] 偏压、VDD和电压值可以由于工艺、温度和设计差别而有所不同。例如,正向偏置电压可以是0.5伏特,+/-0.1伏特,触发电压可以是4伏特,+/-0.5伏,保持电压可以是2伏特 +/-0.5伏特。其它值也是可能的。

[0089] 触发晶体管的回弹击穿电压可以与核心电路中的低电压晶体管稍微不同。例如,触发晶体管可以有稍长的沟道长度或其它特征以使其硬化,而核心电路中的低压晶体管可以使用最小的沟道长度和尺寸。回弹电压可以随晶体管的工艺、温度和精确几何形状的不同而不同。

[0090] 虽然已经根据对物理过程的理论理解给出了运行描述,但这些理论描述可能是不正确的。二阶和三阶效应也可能存在。各种机制可能导致在不同条件下的击穿和传导。

[0091] 大输出驱动器晶体管也用作一些ESD测试和条件的大二极管。例如,当ESD脉冲施加在I/O焊盘和电源焊盘上时,一个正ESD脉冲可以导通大型p沟道驱动晶体管的漏极的寄生p-n漏极-衬底结。p沟道驱动器晶体管的n型衬底或阱通常连接到I/O电源。因此,p-n结被正ESD脉冲正向偏置。虽然已经描述了输出焊盘,但是可以替换其他连接技术,例如球栅阵列(BGA)、倒装芯片等,术语焊盘被认为适用于所有这样的球、焊盘、连接盘等用于外部连接。

[0092] 同样,当ESD脉冲施加在I/O焊盘和接地焊盘上时,一个负ESD脉冲可以导通大型n沟道驱动晶体管的漏极的寄生n-p漏极-衬底结。n沟道驱动器晶体管的p型衬底或阱通常连

接到I/O地。因此，p-n结被负ESD脉冲正向偏置。存在各种跨域连接路径和机制，其将施加到一个电源域的ESD脉冲耦合到另一个电源域。

[0093] 本发明背景部分可以包含有关本发明问题或环境的背景信息，而不是由其他人描述的现有技术。因此，背景部分包括的材料并不是申请人对现有技术的承认。

[0094] 在此所述的任何方法或过程是机器实施的或计算机实施的，并且旨在由机器、计算机或其它装置执行，不是没有这种机器辅助的情况下仅由人执行。所生成的有形结果可以包括报告或者在显示器设备（诸如计算机监视器、投影装置、音频生成装置和相关媒体装置）上的其它机器生成的显示，并且可以包括也是机器生成的硬拷贝打印输出。计算机控制其它机器是另一个有形结果。

[0095] 所述任何优点和益处可能不适用于本发明的所有实施例。当在权利要求要素中陈述单词“装置 (means)”时，申请人意图使权利要求要素落入35USC第112章第6段的规定。在单词“装置”之前的一个或多个单词，是旨在便于对权利要求要素的引用，并且不旨在传达结构限制。这种装置加功能的权利要求旨在不仅覆盖这里描述的用于执行功能及其结构等同物的结构，而且覆盖等效结构。例如，虽然钉子和螺钉具有不同的构造，但是它们是等同的结构，因为它们都执行紧固的功能。不使用“装置”一词的权利要求不落入35USC第112章第6段的规定。信号通常是电信号，但可以是光信号，如可以通过光纤线路传送的信号。

[0096] 为了说明和描述，以上已经呈现了本发明实施例的描述。其并不旨在穷举或将本发明限制为所公开的精确形式。鉴于上述教导，许多修改和变化是可能的。旨在本发明的范围不受该详细描述的限制，而是由所附的权利要求限制。

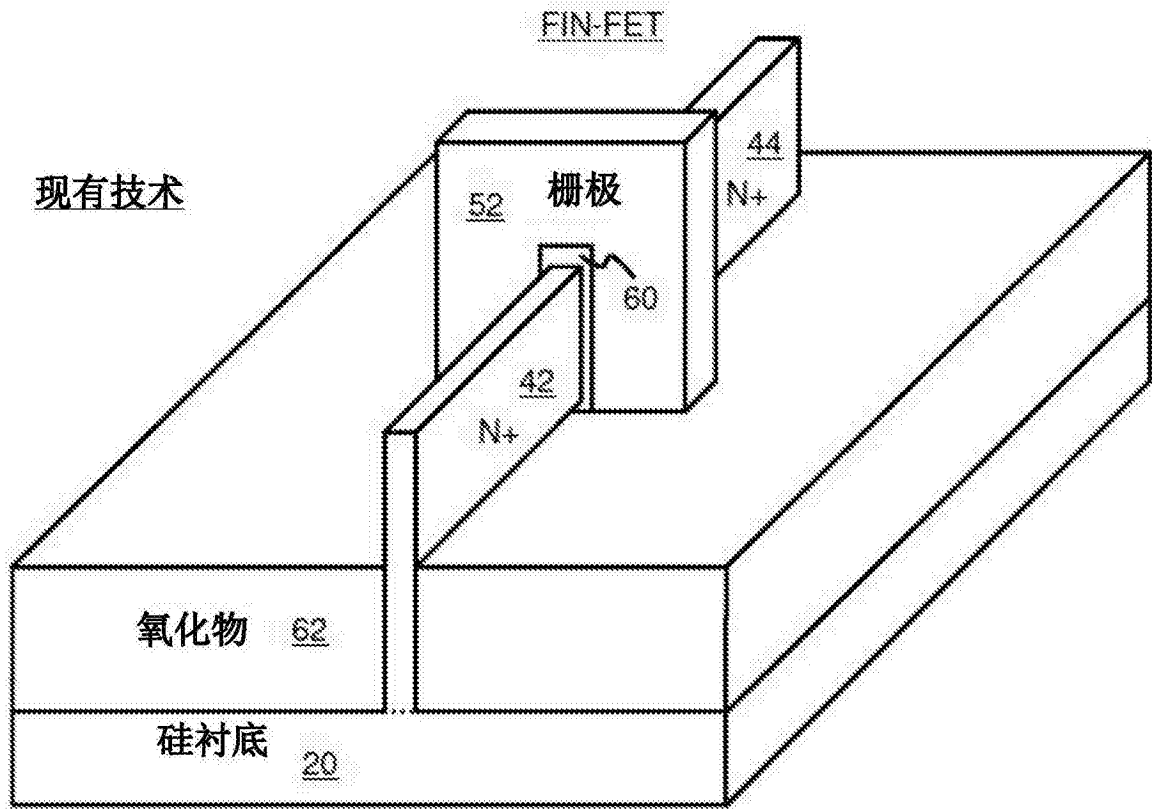


图1

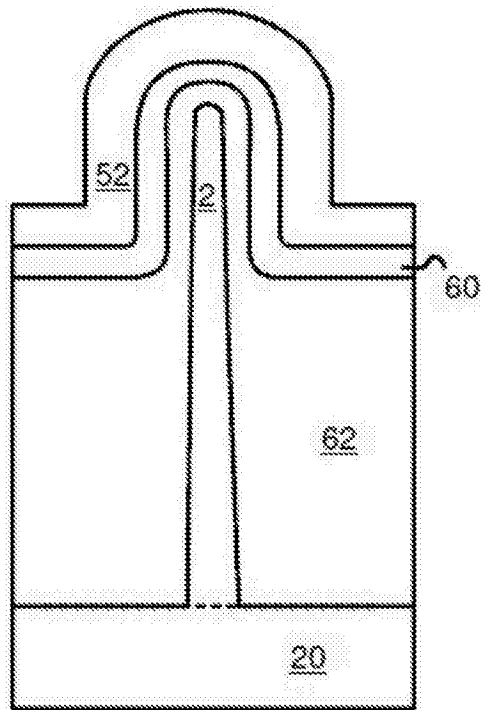


图2

现有技术



图3

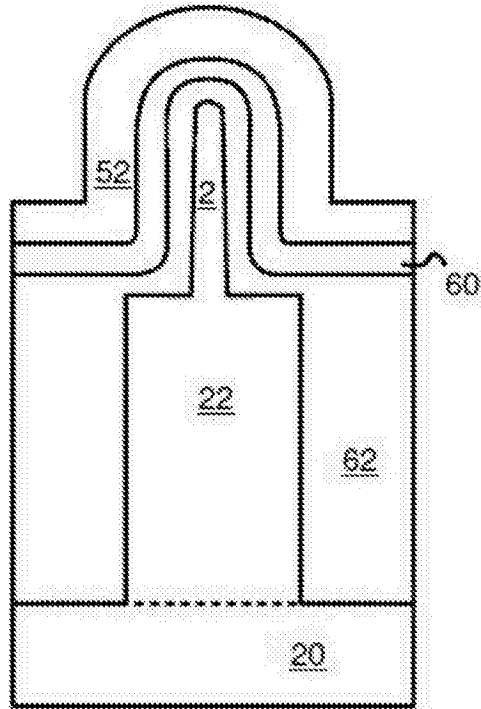


图4

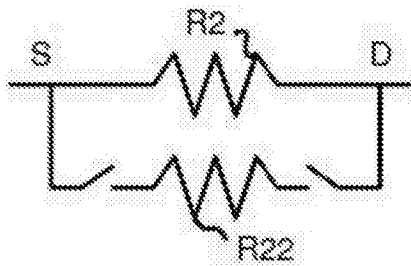


图5

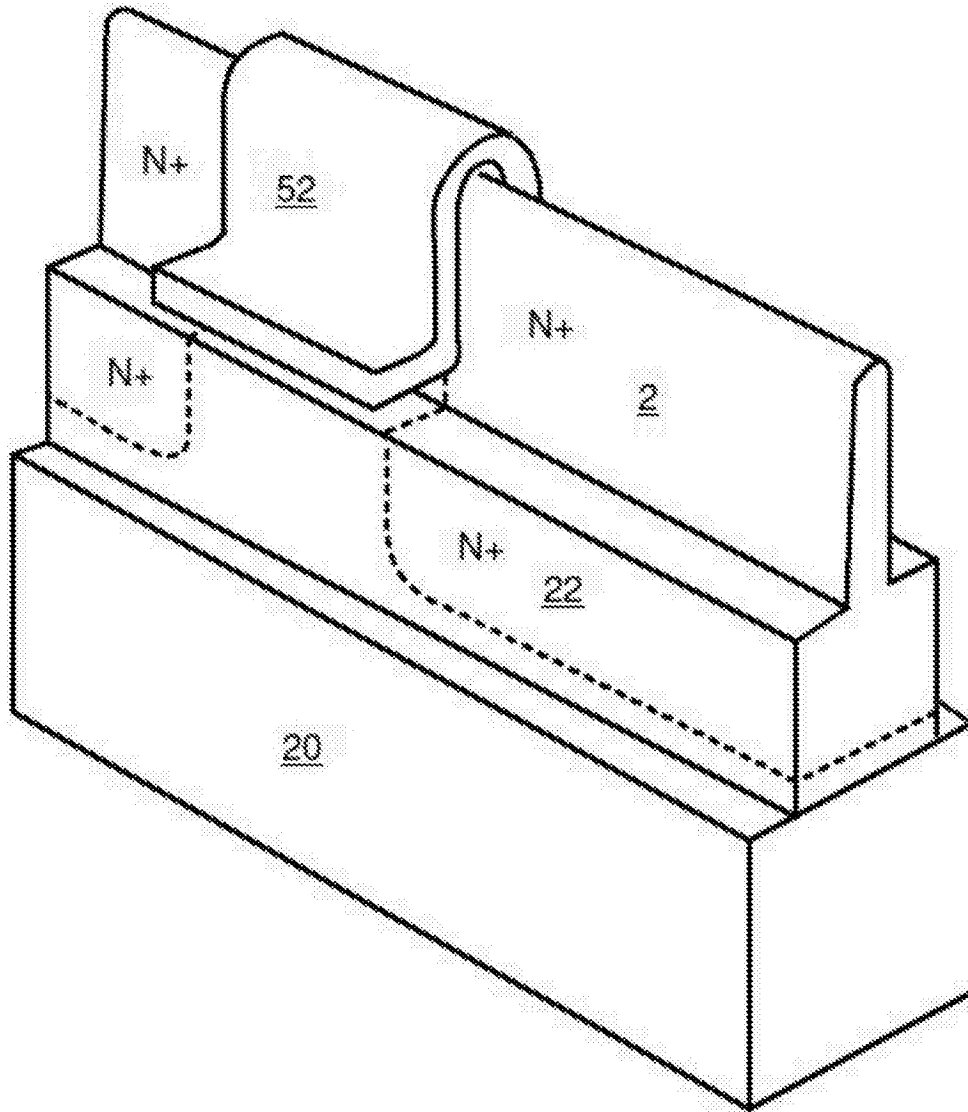


图6

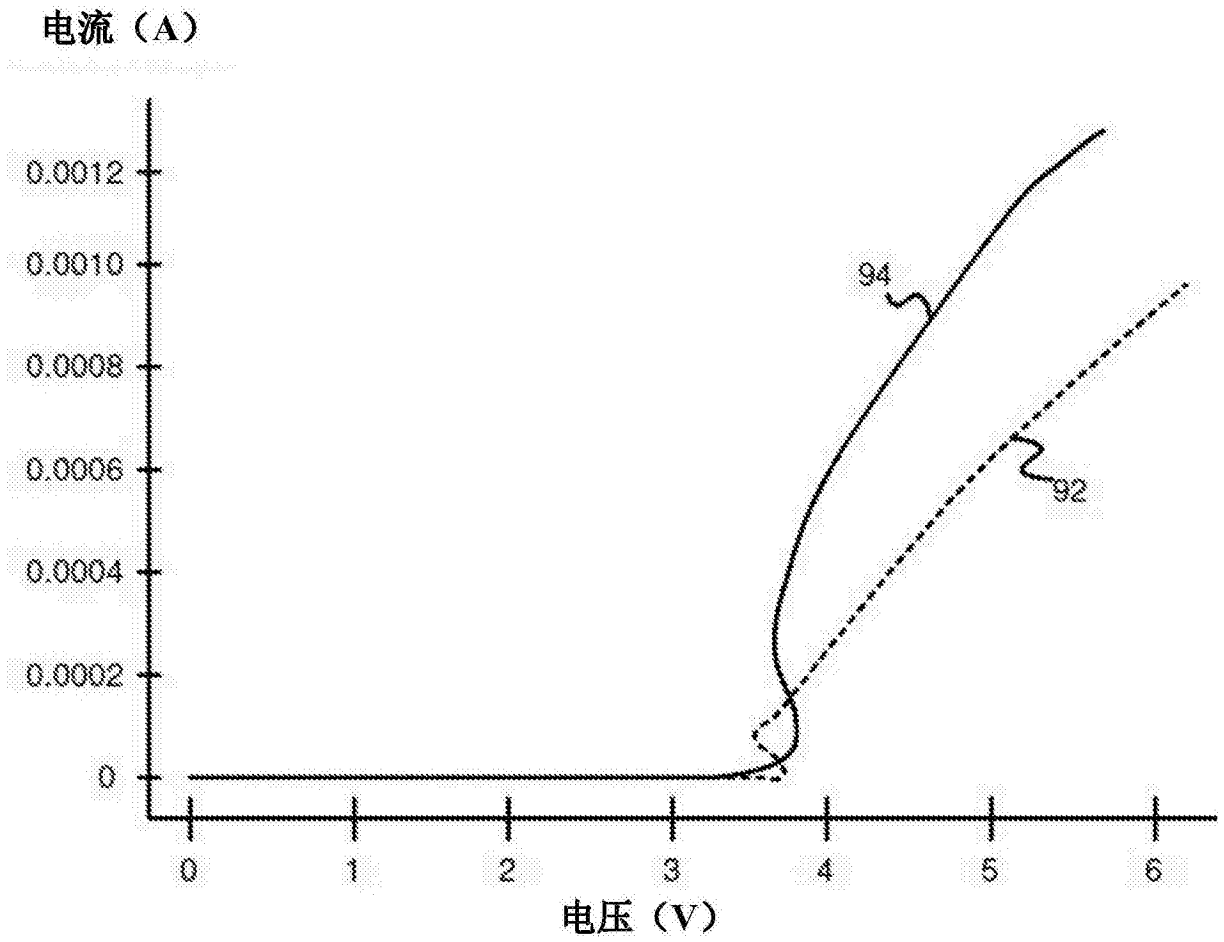


图8

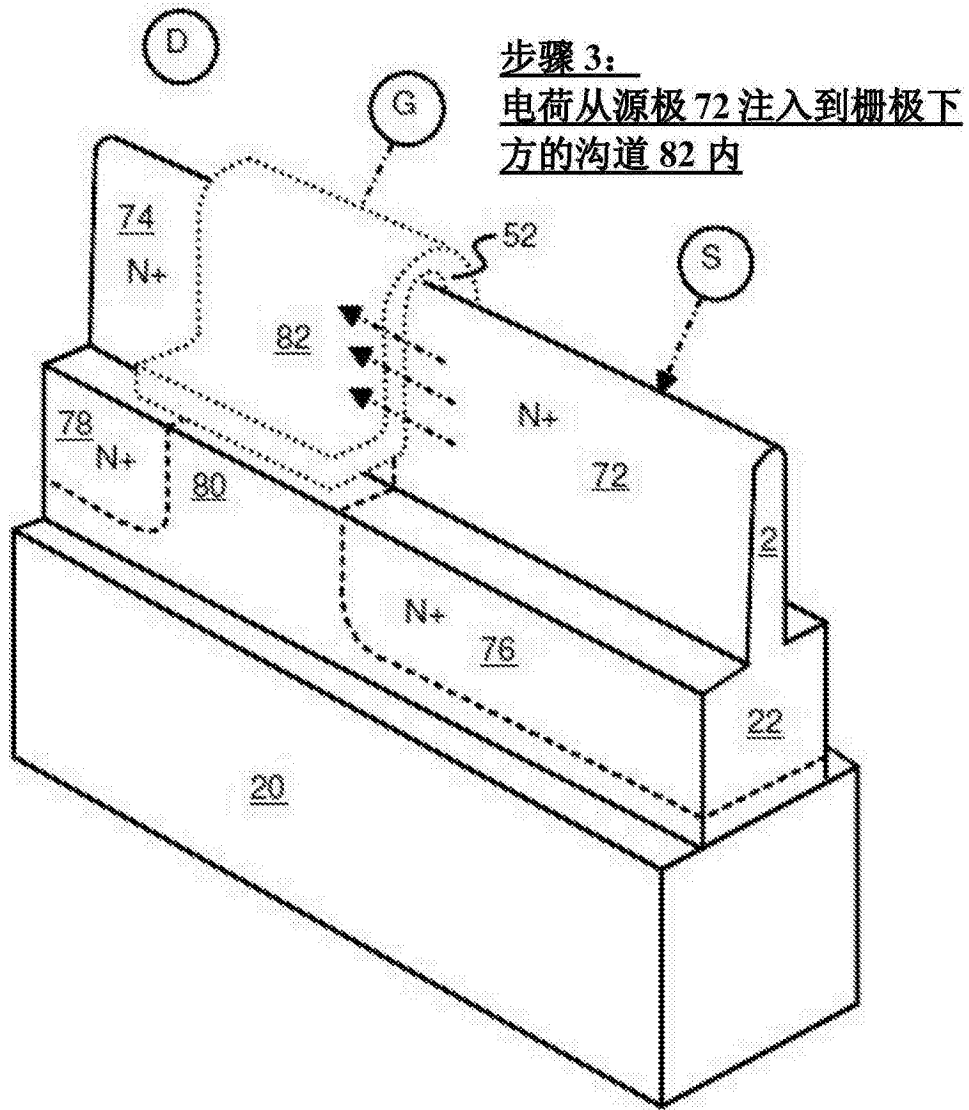


图9C

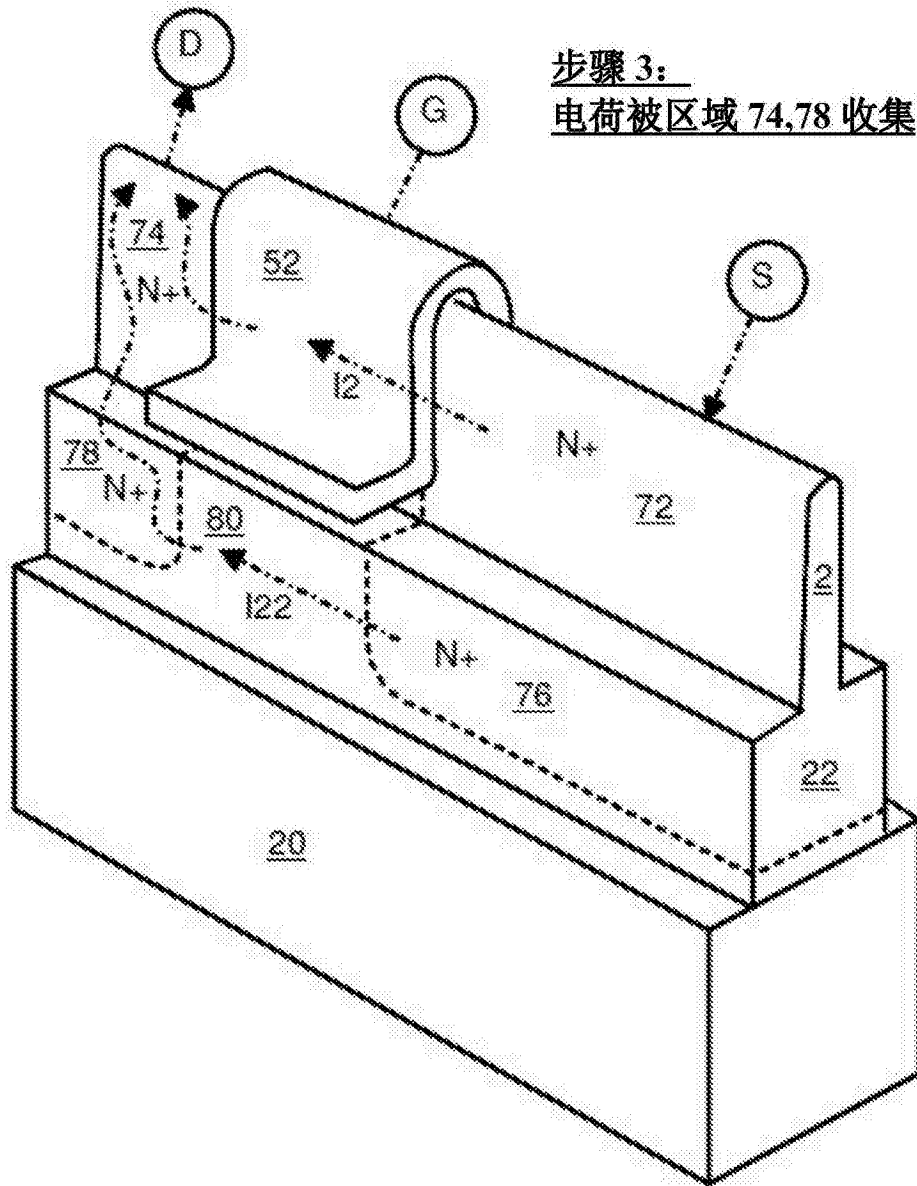


图9D

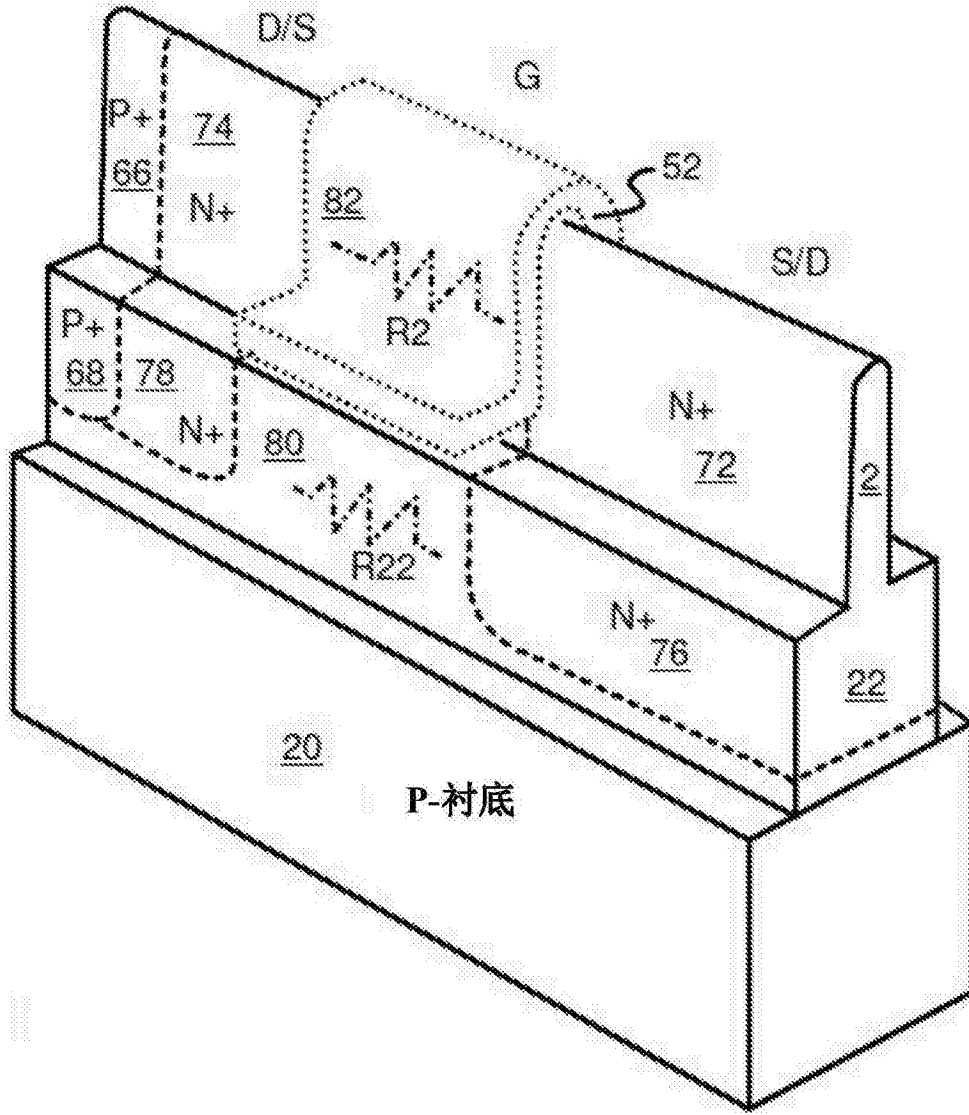


图10

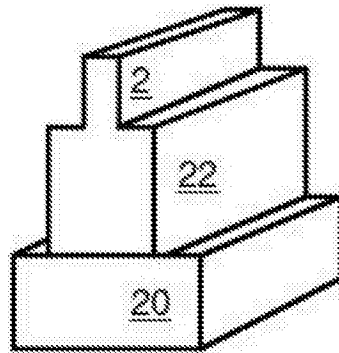


图11A

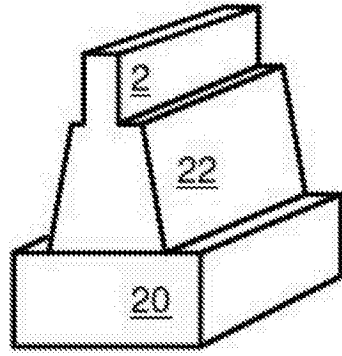


图11B

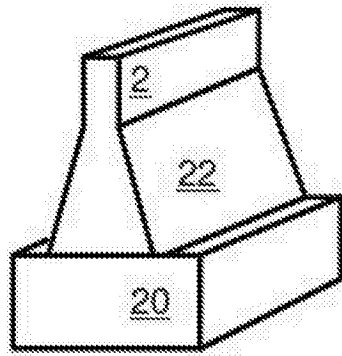


图11C

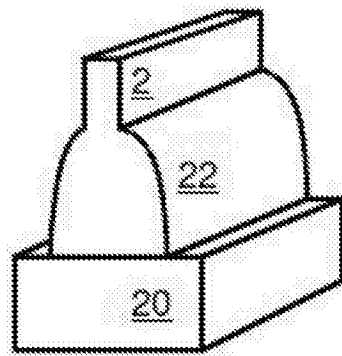


图11D

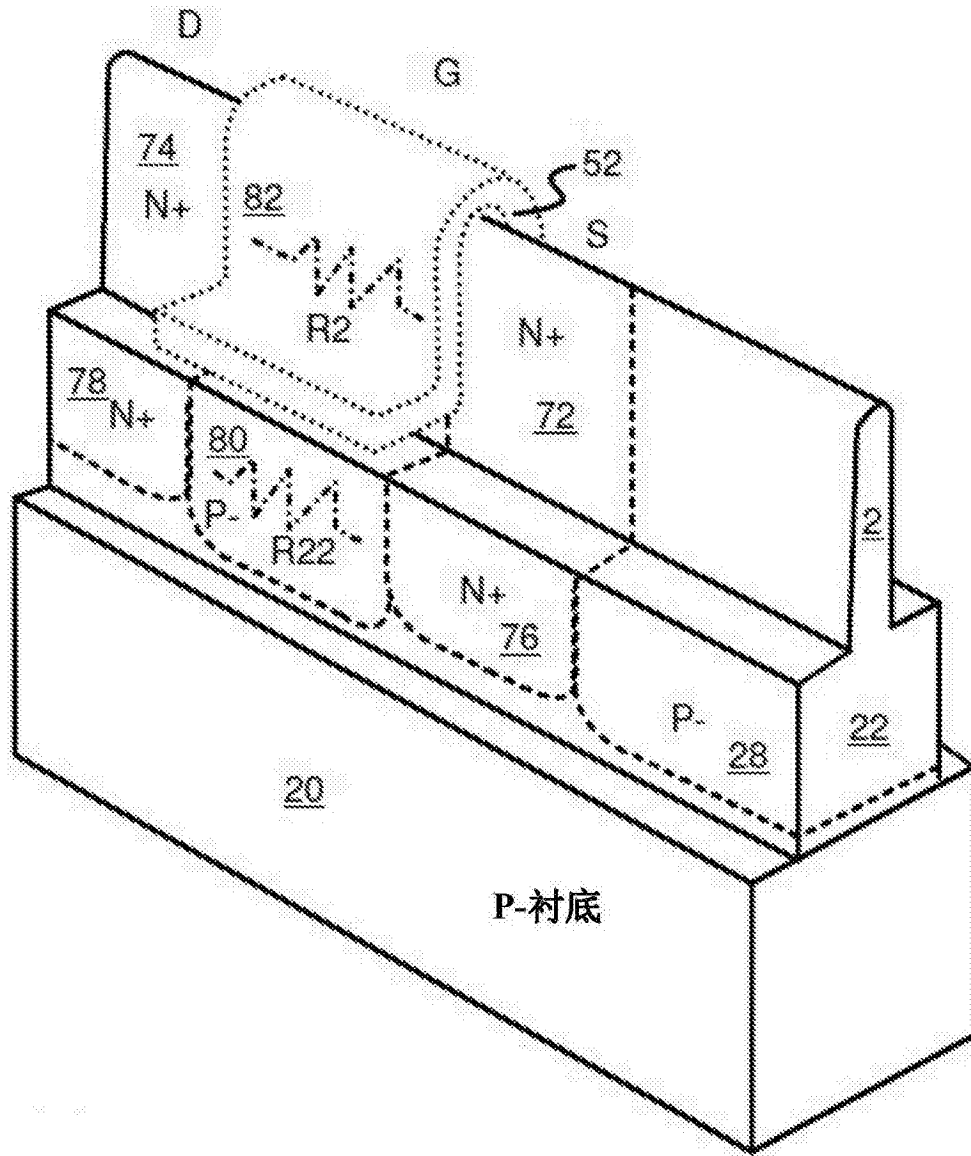


图13

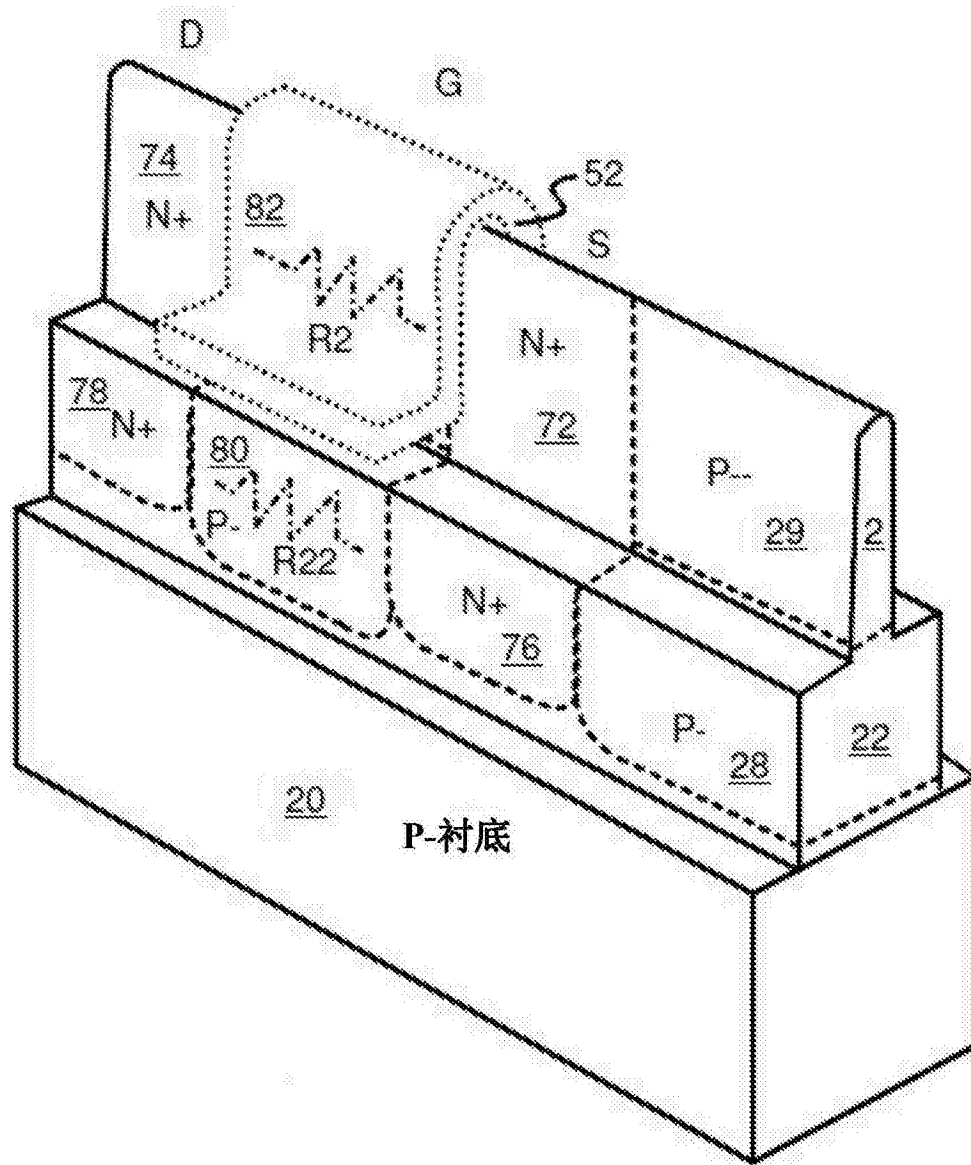


图14

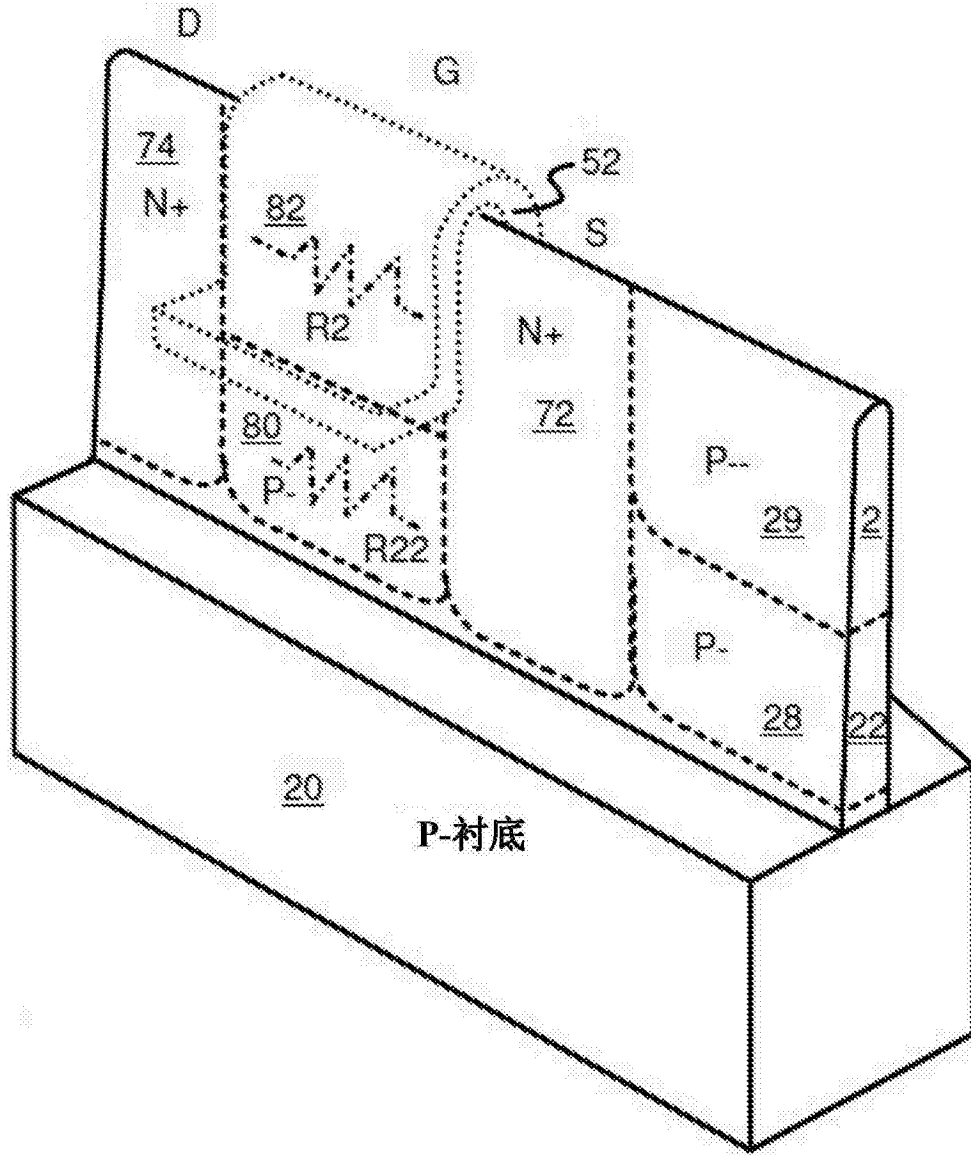


图15

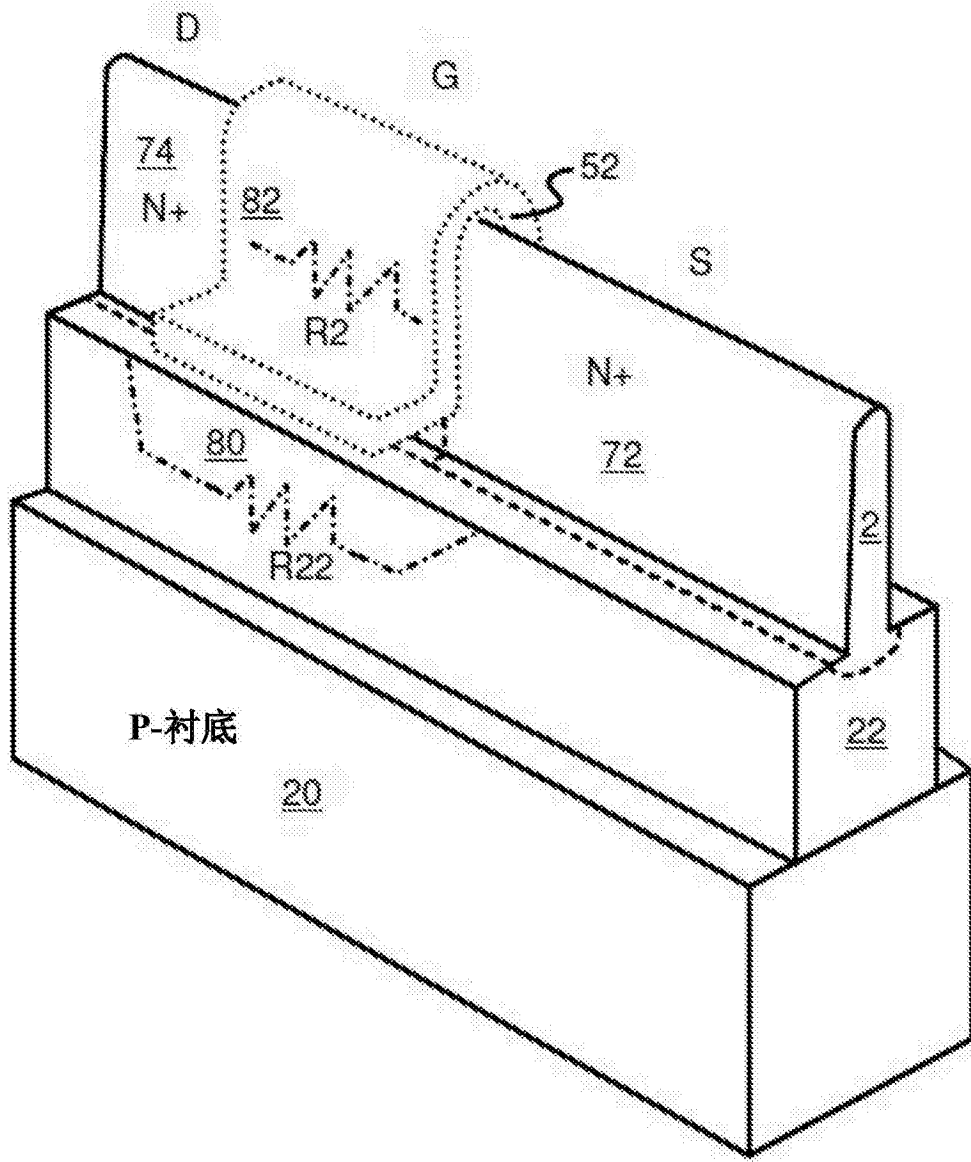


图16